

基于排序网络的大数逻辑门电路设计

孙 宇¹, 郭 靖², 朱 磊³

(1 工业和信息化部电子第五研究所, 广东 广州 510610;

2 中北大学 电子测试技术重点实验室和仪器科学与动态测试教育部重点实验室, 山西 太原 030051;

3 齐齐哈尔大学 通信与电子工程学院, 黑龙江 齐齐哈尔 160006)

摘 要: 针对传统大数逻辑门(Majority Logic Gate, MLG)高开销的问题, 构造了基于排序网络的 MLG 电路, 并以 8 输入的排序网络为例, 使用两个 4 输入排序网络、四个与门以及 1 个或门来实现大数逻辑值. 采用 VerilogHDL 编写代码, 使用 ModelSim 仿真工具进行了功能验证. 相比于传统的 MLG, 该电路可以有效地缩小 45.11 % 的面积、降低 60.43 % 的功耗和减小 35.44 % 的延迟冗余. 仿真结果表明, 构造的电路可以完成正确的大数逻辑功能.

关键词: 存储器; 大数逻辑门; 排序网络; 单粒子翻转

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2016)06-0123-03

Design of Majority Logic Gate Circuitry Based on Sorting Networks

SUN Yu¹, GUO Jing², ZHU Lei³

(1 The Fifth Institute of Electronics of Ministry of Industry and Information Technology, Guangzhou 510610, China;

2 Key Laboratory of Electronic Testing Technology, and Ministry of Education Key Laboratory of Instrumentation Science and Dynamic Testing, North University of China, Taiyuan 030051, China; 3 School of Communication and Electronic Engineering, Qiqihaer University, Qiqihaer 160006, China)

Abstract: The Majority Logic Gate (MLG) has already been used to improve the reliability of memories. As to the issue of high overheads for Majority Logic Gate, a novel MLG circuitry based on Sorting Networks is proposed. An 8-input MLG example, realized in Verilog HDL and simulated by ModelSim, has been shown to explain the structure, which includes two 4-input sorting network, four and-gates and an or-gate. Compared with the traditional MLG circuitry, the proposed circuitry can reduce 45.11% area, 60.43 % power, and 35.44 % delay overheads respectively. The obtained results have shown that the proposed circuitry can achieve Majority Logic function rightly.

Key words: memory; majority logic gate (MLG); sorting networks; single event Upset (SEU)

1 引言

随着 CMOS 工艺技术的快速发展, 存储器受到宇航及地球表面自然辐射粒子的影响也越来越严重^[1-2]. 当一个辐射粒子轰击器件的时候, 它将会在经过的路径上释放电子-空穴对. 这些辐射诱导电子-空穴对将会在电场的作用下发生分离并积累. 当

积累到一定程度的时候, 将会把该敏感节点的电压改变. 在存储器中, 由于两个反相器交叉耦合, 发生在一个节点上的电压改变就能激活反馈, 进而改变另外一个节点的存储状态, 从而发生了单粒子翻转 (Single Event Upset, SEU) 现象^[3-5].

目前在存储器中, 最常用的抗辐射的加固技术之一是使用错误纠错码 (Error Correction Codes,

ECCs)来对 SEU 进行纠错. 如使用汉明码(Hamming)作为单错误修正、双错误探测码(Single Error Correction and Double Error Detection, SECDED). 它可以修正一位错误和探测两位错误,却不能修正两位或两位以上的错误. 随着 CMOS 技术的持续进步,多位的翻转已经在卫星和辐射试验中观察到了,因此需要纠正能力更强的 ECC 码来对存储器进行加固保护,如 Reed-Somolon (RS) 码以及 Bose-Chaudhuri-Hocquenghem (BCH) 码等. 但是,这些 ECC 码的编码和译码过程非常复杂,因此需要更为复杂的编译码电路来实现纠错功能^[6].

由于可以使用较为简单的译码程序和电路,一些一步大数逻辑可译码(One-Step Majority Logic Decodable, OS-MLD)已经被用来提高存储器的可靠性,如差集码(Difference Set Code, DS)^[7]和低密度奇偶校验码(Euclidean Geometry Low Density Parity Check Code, EG-LDPC)^[8,9]等. OS-MLD 可以使用一种简单而有效的译码方法,即大数逻辑译码(Majority Logic Decoding, MLD). 该译码器的译码步骤主要是:首先计算奇偶校验和,然后通过 MLG 电路来决定输出^[6].

虽然 OS-MLD 码的译码非常简单,但是其译码所使用的传统大数逻辑门随着输入向量的增加,面积开销将呈指数倍数增加. 如果当输入比较多的时候,仅一个大数逻辑门就将占用非常多的面积,从而将极大地增加存储器的各种冗余开销.

为了解决这一问题,本文设计了基于排序网络(Sorting Networks)的 MLD 译码电路.

2 本文构造的 MLG

排序网络主要用来对给定的数据进行重新排序,且与输入无关,即可以在“黑盒子”中进行排序操作^[10]. 例如,一个 4 输入的排序网络可以将输入的 4 个数据(1、4、6 和 7)按照从大到小的顺序重新排序,即输出的 4 个数据是 7、6、4 及 1.

本文中以 8 输入的排序网络为例来解释构造的 MLG 门电路,构造步骤如下:

- (1)使用两个 4 输入的排序网络;
- (2)使用一系列的与门进行组合;

(3)再使用一个或门来输出大数逻辑值.

构造的 MLG 门的电路图如图 1 所示. 从图中可以发现,这样的—个由两个四输入的排序网络构成的八输入 MLG 门,只需要 27 个两输入的逻辑门就可以完成大数逻辑功能. 相比之下,传统的 MLG 门却需要 56 个两输入的逻辑门. 因此,构造的 MLG 门的电路可以有效地降低各个方面的冗余开销.

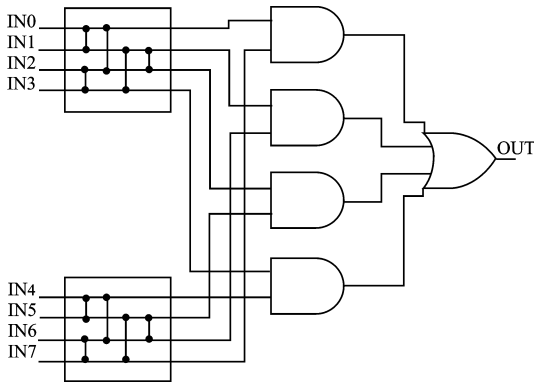


图 1 使用排序网络构造的 8 输入大数逻辑门

3 实验结果与分析

3.1 功能仿真

构造的 MLG 电路已经由 Verilog 硬件描述语言来实现,功能验证的工具是 Mentor 公司的 ModelSim 模拟器. 首先,输入二进制八位的输入向量 11101101,输出的二进制大数逻辑值为 1;然后,将二进制八位的输入向量改变为 00011111,则输出的二进制大数逻辑值仍然为 1;最后,输入二进制八位输入向量 00011100,则输出的二进制大数逻辑值变为 0,如图 2 所示. 从上述仿真结果不难看出,构造的 MLG 电路拥有正确的大数功能,即不管输入向量值,总能输出正确的大数逻辑值.

3.2 结果分析

本文使用 Synopsys 公司的逻辑综合工具 Design Compiler 来进行综合,采用 65 nm CMOS 工艺对构造的大数逻辑门和传统的大数逻辑门进行面积、功耗和延迟方面的比较,比较结果如表 1 所示. 可以发现,本文构造的 MLG 电路的面积冗余仅为传统 MLG 电路的 54.89%,延迟冗余仅为 64.55%,功耗冗余仅为 39.57%,有效地降低了各个方面的

/sorttest/input	00011100	11101101	00011111	00011100
/sorttest/output	St0			

图 2 构造的 MLG 电路仿真结果

冗余,如表 1 所示.

表 1 综合后的面积、延迟、功耗综合对比

MLG 电路	面积/ μm ²	面积冗余 百分比/ %	延迟/ ns	面积冗余 百分比/ %	功耗/ mW	面积冗余 百分比/ %
传统 MLG 电路	73.6	100	1.58	100	0.0705	100
本文 MLG 电路	40.4	54.89	1.02	64.55	0.0279	39.57

4 结束语

本文在排序网络的基础上,提出了一种新的低开销的大数逻辑门电路来进行大数逻辑译码.该电路避免了传统大数逻辑门电路随输入的增加冗余呈指数倍增加的缺点.因而,非常适合于现有高速、低功耗、小面积抗辐射加固设计方法的趋势.

参考文献:

[1] Martinie S, Autran J-L, Sauze S, et al. Underground experiment and modeling of alpha emitters induced soft-error rate in CMOS 65 nm SRAM[J]. IEEE Transactions on Nuclear Science, 2012, 59 (4): 1048-1053.

[2] Baumann R C. Soft errors in advanced semiconductor devices—Part I: the three radiation sources[J]. IEEE Transactions on Device and Materials Reliability, 2001, 1(1): 17-22.

[3] Dodd P E, Massengill L. Basic mechanisms and modeling of single-event upset in digital microelectronics [J]. IEEE Transactions on Nuclear Science, 2003, 50 (3): 583-602.

[4] Hughes H L, Benedetto J M. Radiation effects and

hardening of MOS technology: devices and circuits[J]. IEEE Transactions on Nuclear Science, 2003, 50(3): 500-521.

[5] Baumann R C. Radiation-induced soft errors in advanced semiconductor technologies[J]. IEEE Transactions on Device and Materials Reliability, 2005, 5(3): 305-316.

[6] Lin S, Daniel J, Costello J. 差错控制编码 (第 2 版) [M]. 北京: 机械工业出版社, 2007: 43-742.

[7] Liu S-F, Reviriego P, Maestro J A. Efficient majority logic fault detection with difference-det codes for memory applications[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2012, 20 (1): 148-156.

[8] Naeimi H, DeHon A. Fault secure encoder and decoder for nano memory applications[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2009, 17(4): 473-486.

[9] Reviriego P, Maestro J A, Flanagan M F. Error detection in majority logic decoding of euclidean geometry low density parity check (EG-LDPC) codes[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2013, 21(1): 156-159.

[10] Cormen T H, Leiserson C E, Rivest R L, et al. Introduction to Algorithms (第二版)[M]. 北京: 机械工业出版社, 2008: 433-442.

作者简介:

孙 宇 男,(1983-),博士,工程师.研究方向为超大规模集成电路可靠性设计与测试技术.
E-mail:Sunyu5088@163.com.

(上接第 122 页)

[10] Haruhiko T, Hidehiko K, Terumine H. Partially weight minimization approach for fault tolerant multi-layer neural networks[C]//Neural Networks, Proceedings of the 2002 International Joint Conference on. Japan:IEEE, 2002: 1092-1096.

[11] Cho J, Lee C, Cho S, et al. A statistical model for network data analysis: KDD CUP 99’data evaluation and its comparing with MIT Lincoln Laboratory network data[J]. Simulation Modelling Practice and Theory, 2010, 18(4): 431-435.

[12] 史美林, 钱俊, 许超. 入侵检测系统数据集评测研究 [J]. 计算机科学, 2006, 33(8): 1-8.

[13] 许朋飞. 基于神经网络的入侵检测系统的研究与实现

[D]. 山东: 山东大学, 2008:31-32.

[14] 周国雄,沈学杰,李琳,等. 基于 AdaBoost 的网络入侵智能检测[J]. 系统仿真学报,2014,25(7):1517-1521.

[15] Simon H. Neural networks, a comprehensive foundation [M]. Beijing; China, Machine Press, 2004: 109-175.

作者简介:

马占飞 男,(1973-),博士,教授,硕士生导师,CCF 高级会员(07270S).研究方向为计算机网络技术与信息安全、人工智能. E-mail:mazhanfei0402@163.com.

张 涵 女,(1990-),硕士研究生.研究方向为计算机网络技术与信息安全.